

1/1 JAPIO - (C) JPO

PN - JP 11142481 A 19990528 [JP11142481]

TI - METHOD AND DEVICE FOR ANALYSIS OF SEMICONDUCTOR INTEGRATED CIRCUIT  
INSPECTION POINT

IN - NAKAO TAKANOBU; HATAKEYAMA KAZUMI; HIRANO JUN

PA - HITACHI LTD

AP - JP31173897 19971113 [1997JP-0311738]

IC1 - G01R-031/28

IC2 - G06F-011/22 G06F-017/50

AB - PROBLEM TO BE SOLVED: To decrease the overhead of a signal delay by the insertion of inspection points.

- SOLUTION: Discriminating of wheaten inspection point is insertable or net is performed and a circuit deformation method is calculated when inspection points are insertable for each signal line in the circuit from circuit information 122, an inspection point insertion library 123 whereby insertable types of inspection points and a circuit deformation method are designated, and inspection point insertion prohibited information 124 whereby a inspection point insertion prohibiting signal line and the set of inspection point types are designated. Next inspection point indexes for inspection point representatives into which inspection points are insertable are calculated and, based on the indexes thus obtained, those inspection representatives which can be easily tested are selected, and the selected results are recorded in the inspection point information 127. The processing above is repeated until the termination conditions of a preset inspection point analysis processing are satisfied.

- COPYRIGHT: (C) 1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-142481

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

V

G 0 6 F 11/22

G 0 6 F 11/22

3 6 0 P

17/50

G 0 1 R 31/28

F

G 0 6 F 15/60

6 5 4 N

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21) 出願番号

特願平9-311738

(22) 出願日

平成9年(1997)11月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中尾 教伸

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 畠山 一実

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 平野 潤

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

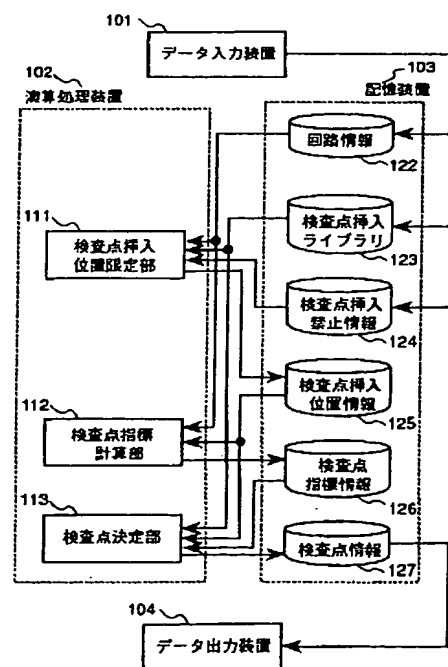
(54) 【発明の名称】 半導体集積回路検査点の解析方法、解析装置

(57) 【要約】

【課題】 検査点挿入による信号遅延のオーバーヘッドを低減する。

【解決手段】 回路情報122と、挿入可能な検査点型と回路変形方法を指定した検査点挿入ライブラリ123と、検査点挿入を禁止する信号線と検査点型の組を指定した検査点挿入禁止情報124から、回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と検査点挿入可能な場合の回路変形方法を計算する。次に検査点挿入可能な検査点候補に対する検査点指標を計算し、この指標に基づいてテスト容易性の大きい検査点候補を選択し、それを検査点情報127に登録する。以上の処理を、予め設定されている検査点解析処理の終了条件を満たすまで繰り返す。

図 1



## 【特許請求の範囲】

【請求項1】複数のセルを信号線で接続してなる半導体集積回路の検査点の挿入位置と回路変形方法を決定する

半導体集積回路検査点の解析方法であって、

上記半導体集積回路を構成する上記複数のセル及び信号線について予め用意した検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組を列挙した情報で検査点挿入ライブラリに基づいて検査点の挿入位置とこの検査点の挿入による回路変形方法を決定すること

を特徴とする、半導体集積回路検査点の解析方法。

【請求項2】請求項1記載の半導体集積回路検査点の解析方法において、

前記検査点挿入ライブラリの検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組に、検査点挿入前のセルの各入力ピンから出力ピンへの信号遅延と、検査点挿入後のセルの各入力ピンから出力ピンへの信号遅延とが、同等あるいは、その差が2入力ANDまたは2入力ORの機能を持つセルの各入力ピンから出力ピンへの信号遅延より小さいものを含むことを特徴とする、

半導体集積回路検査点の解析方法。

【請求項3】複数のセルを信号線で接続してなる半導体集積回路の検査点の挿入位置と回路変形方法を決定する

半導体集積回路検査点の解析装置であって、

検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組を列挙した情報である検査点挿入ライブラリと、

半導体集積回路の回路情報と前記検査点挿入ライブラリから、前記回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と、検査点挿入可能な場合の回路変形方法に対応させた情報である検査点挿入位置情報を計算する検査点挿入位置限定部と、

検査点挿入可能な信号線とその検査点型に対し、検査点挿入すると仮定した場合のテスト容易性の度合いを表す指標を計算する検査点指標計算部と、

検査点挿入可能な信号線とその検査点型の中で、前記テスト容易性の度合いを表す指標が大きい信号線とその検査点型を検査点に決定する検査点決定部と、を有すること

を特徴とする半導体回路検査点解析装置。

【請求項4】請求項3記載の半導体集積回路検査点解析

装置において、

前記検査点挿入ライブラリの検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組に、検査点挿入前のセルの各入力ピンから出力ピンへの信号遅延と、検査点挿入後のセルの各入力ピンから出力ピンへの信号遅延とが、同等あるいは、その差が2入力ANDまたは2入力ORの機能を持つセルの各入力ピンから出力ピンへの信号遅延より小さいものを含むことを特徴とする、

半導体集積回路検査点の解析装置。

【請求項5】複数のセルを信号線で接続してなる半導体集積回路の検査点の挿入位置と回路変形方法を決定する

半導体集積回路検査点の解析方法であって、

上記半導体集積回路を構成する上記複数のセル及び信号線について、予め用意した検査点挿入を禁止する前記回路内の信号線と検査点型の組の集合を特定した情報である検査点挿入禁止情報を用い、前記検査点挿入禁止情報で指定された前記回路内の信号線と検査点型の検査点の對象外とし、予め用意した検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組を列挙した情報である検査点挿入ライブラリを用い、検査点の挿入位置と回路変形方法を決定することを特徴とする、半導体集積回路検査点の解析方法。

【請求項6】請求項5記載の半導体集積回路検査点の解析方法において、

前記検査点禁止情報が、バスの始点と終点で特定されるバスを指定することによりそのバス上の信号線を検査点挿入を禁止する前記回路内の信号線として特定し、前記バスの始点または終点が信号線あるいは端子名あるいはセル位置とピン番号の組あるいは、セル型名とピン番号の組、あるいは全ての入力端子／制御可能な素子、あるいは全ての出力端子／観測可能な素子で表した情報を含むことを特徴とする、半導体集積回路検査点の解析方法。

【請求項7】請求項5記載の半導体集積回路検査点の解析方法において、

前記検査点禁止情報が、部分回路の情報であるブロックを指定することによりそのブロック内の信号線を検査点挿入を禁止する前記回路内の信号線として特定した情報を含むことを特徴とする、半導体集積回路検査点の解析方法。

【請求項8】請求項5、6又は7記載の半導体集積回路検査点の解析方法において、

前記検査点禁止情報における検査点挿入を禁止される前記回路内の信号線と検査点型の組に、端子または記憶素子と端子または記憶素子の間のバスの信号遅延の余裕値が小さいバス上の信号線に挿入する制御点を含むことを特徴とする、半導体集積回路検査点の解析方法。

【請求項9】複数のセルを信号線で接続してなる半導体集積回路の検査点の挿入位置と回路変形方法を決定する半導体集積回路検査点の解析装置であって、

検査点挿入を禁止する前記回路内の信号線と検査点型の組を指定した情報である検査点挿入禁止情報から、前記回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別に対応させた情報である検査点挿入位置情報を計算する検査点挿入位置限定部と、

前記回路に検査点の設定が無いまたは有る状態で、検査点挿入可能な信号線とその検査点型に対し、検査点を挿入すると仮定した場合のテスト容易性の度合いを表す指標を計算する検査点指標計算部と、

検査点挿入可能な信号線とその検査点型の中で、前記テ

スト容易性の度合いを表す指標から判断してテスト容易性が高い信号線とその検査点型を検査点に決定する検査点決定部と、を備えることを特徴とする半導体回路検査点解析装置。

【請求項10】請求項9記載の半導体集積回路検査点解析装置において、

前記検査点禁止情報が、バスの始点と終点で特定されるバスを指定することによりそのバス上の信号線を検査点挿入を禁止する前記回路内の信号線として特定し、前記バスの始点または終点が信号線名あるいは端子名あるいはセル位置とピン番号の組で表した情報を含むことを特徴とする、半導体集積回路検査点の解析装置。

【請求項11】請求項9記載の半導体集積回路検査点解析装置において、

前記検査点禁止情報が、部分回路の情報であるブロックを指定することによりそのブロック内の信号線を検査点挿入を禁止する前記回路内の信号線として特定した情報を含むことを特徴とする、半導体集積回路検査点の解析装置。

【請求項12】請求項9、10または11記載の半導体集積回路検査点の解析装置において、

前記検査点禁止情報における検査点挿入を禁止される前記回路内の信号線と検査点型の組に、端子または記憶素子と端子または記憶素子の間のバスの信号遅延の余裕値が小さいバス上の信号線に挿入する制御点を含むことを特徴とする、半導体集積回路検査点の解析装置。

【請求項13】複数のセルを信号線で接続してなる半導体集積回路の検査点の挿入位置と回路変形方法を決定する半導体集積回路検査点の解析装置において、

半導体集積回路のセルとそのピン番号で特定される信号線に対する、挿入可能な検査点型と挿入可能な場合の回路変形方法を指定することを目的として、検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組を列挙した情報である検査点挿入ライブラリと、検査点挿入を禁止する前記回路内の信号線と検査点型の組を指定した情報である検査点挿入禁止情報と半導体集積回路の回路情報と前記検査点挿入ライブラリと前記検査点挿入禁止情報から、前記回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と、検査点挿入可能な場合の回路変形方法を対応させた情報である検査点挿入位置情報を計算する検査点挿入位置限定部と、

前記回路に検査点の設定が無いまたは有る状態で、検査点挿入可能な信号線とその検査点型に対し、検査点を挿入すると仮定した場合のテスト容易性の度合いを表す指標を計算する検査点指標計算部と、

検査点挿入可能な信号線とその検査点型の中で、前記テスト容易性の度合いを表す指標から判断してテスト容易性が高い信号線とその検査点型を検査点に決定する検査点決定部と、を備えることを特徴とする半導体回路

検査点解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路における検査点の挿入位置とその回路変形方法を決定する解析方法および解析装置に関するものである。

【0002】

【従来の技術】半導体集積回路のテスト容易化技術の1つに、回路中に検査点を挿入する方法がある。一般に、検査点には、信号線を1に制御するし易さ（以下、1可制御性と呼ぶ）を向上させる「1制御点」と、信号線を0に制御するし易さ（以下、0可制御性と呼ぶ）を向上させる「0制御点」と、信号線の信号値を観測できるし易さ（以下可観測性と呼ぶ）を向上させる「観測点」がある。

【0003】この検査点の回路や挿入位置の解析方法については、文献Proceeding of 2nd European Test Conference (1991年)の253頁から262頁に掲載されている、B.Seiss等による「Test Points Insertion for Scan-Based BIST」や、特開平6-331709号「試験可能性を改善した回路および回路の試験可能性を改善する方法」などに詳しく論じられている。

【0004】特に、前者の文献で述べられている検査点の解析方法は、COP (Controllability Observability Procedure)と呼ばれる確率的なテスト容易性尺度を用いて目的関数（以下、テストコストと呼ぶ）を定義し、それを最小化するように1つずつ検査点を決定する。すなわち、1つの検査点を求める手順として、まず検査点の候補（以下、検査点候補と呼ぶ）を、それを挿入したときのテストコストの近似値に基づいて選び、各検査点候補に対して挿入した場合の実際のテストコストを計算した後、テストコストが最小になる検査点候補を検査点に決定する。そして、この処理を検査点の個数分、繰り返す。なお、この検査点の解析方法は、乱数パターンテストの容易化には有効であることが実験により確認されている。

【0005】さらに、前記B.Seiss等の方法を、検査点挿入による信号遅延の悪化を抑えるように改良した検査点の解析方法が、文献Proceeding of International Test Conference (1995年)の506頁から514頁に掲載されている、K.-T.Cheng等による「Timing-Driven Test Point Insertion for Full-Scan and Partial-Scan BIST」に論じられている。この方法は、前述したB.Seiss等の方法における1つの検査点を求める手順の中で、回路内の各信号線における信号遅延の余裕値を計算し、前記検査点候補の条件として前記信号遅延の余裕値が事前に与えられたしきい値以上であることが要求される。それ以外の処理は前述したB.Seiss等の方法と同じである。なお、端子あるいは記憶素子間のバスにおける信号遅延の余裕値とは、設計上許容された信号遅延か

ら実際の信号遅延を引いた値であり、各信号線における信号遅延の余裕値は、それを含むパスの信号遅延の余裕値の最小値である。

【発明が解決しようとする課題】従来例で述べた検査点の解析方法の中で、B. Seiss 等の方法では、検査点挿入による信号遅延の悪化により、半導体集積回路の性能が落ちるなど問題がある。一方、K. -I. Cheng 等の方法では、1つの検査点を求める毎に各信号線における信号遅延の余裕値を計算する必要があるため、この処理がネットワークとなって、大規模な論理回路に対して実用的な時間内

で処理が終わらないという問題がある。

【0007】また、半導体集積回路における検査点の美  
現方法として、1 制御点のときは2入力ORゲート、0  
制御点のときは2入力ANDゲートを挿入することが一  
般的であるが、この場合、検査点挿入後の半導体集積回  
路は、信号遅延や回路面積のオーバーヘッドの点から最  
適化の余地が残る回路であることが多い。

【0008】本発明の目的は上記問題点に鑑み、検査点挿入による信号遅延や回路面積のオーバーヘッドを低減し、高速に処理され、使い勝手のよい、半導体集積回路の検査点解析方法、解析装置を提供することにある。

【課題を解決するための手段】上記の目的は、複数のセ  
ルを信号線で接続してなる半導体集積回路に対して、テ  
スト容易性が向上するように、検査点の挿入位置と回路  
変形方法を決定する半導体集積回路検査点の解析方法に  
おいて、半導体集積回路内のセルとそのピン番号で特定  
される信号線に対する、挿入可能な検査点型と挿入可能  
な場合の回路変形方法を指定することを目的として、換  
変点挿入可能なセル型名とピン番号と検査点型と回路変  
形方法の組を列挙した情報である検査点挿入ライブラリ  
を用い、前記検査点挿入ライブラリで指定されたセル型  
名とピン番号に該当する前記回路内の信号線と検査点型  
のみを対象として、その中から検査点の挿入位置と回路  
変形方法を決定することによって達成される。

【0010】または、検査点挿入を禁止する前記回路内の信号線と検査線と検査点型の組を指定した情報である、検査点挿入禁止情報を用い、前記検査点挿入禁止情報で指定された前記回路内の信号線と検査点型を検査点の対象外として、検査点の挿入位置と回路変形方法を決定することによって達成される。

【0011】さらに、前記検査点挿入ライブラリと前記検査点挿入禁止情報を用いて、前記検査点挿入ライブラリで指定されたセル型名とピン番号に該当する前記回路内の信号線と検査点型であつて、前記検査点挿入禁止情報で指定された前記回路内の信号線と検査点型でないものを対象として、その中から検査点の挿入位置と回路変形方法を決定することによつて、上記の目的がより効率良く達成される。

【0012】本発明の方法を適用した半導体集積回路検査点解析装置は、半導体集積回路内のセルとそのピン番号で特定される信号線に対する、挿入可能な検査点型と挿入可能な場合の回路変形方法を指定することを目的として、前記検査点挿入ライブラリと、前記検査点挿入禁止情報と、半導体集積回路の回路情報と前記検査点挿入ライブラリから、前記回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と、検査点挿入可能な場合の回路変形方法に対応させた情報である検査点挿入位置情報を計算する検査点挿入位置限定部と、前記回路に検査点の設定が無いまたは有る状態で、検査点挿入可能な信号線とその検査点型に対し、検査点を挿入すると仮定した場合のテスト容易性の度合いを表す指標を計算する検査点指標計算部と、検査点挿入可能な信号線とその検査点型の中で、前記テスト容易性の度合いを表す指標から判断してテスト容易性が大きい信号線とその検査点型を検査点に決定する検査点決定部とを備える。

【0013】

図面を参照しながら詳細に説明する。

【0014】図1に、半導体集積回路検査点の解析装置の構成を示す。本解析装置は、半導体集積回路のセルや信号線に関する情報を入力するデータ入力装置101と、検査点の挿入位置決定などの演算処理を行う演算処理装置102と、回路情報122、検査点挿入ライブラリ123、検査点挿入禁止情報124、検査点挿入位置情報125、検査点指標情報126、検査点情報127なを記憶する記憶装置103と、演算結果である検査点情報127などを出力するデータ出力装置104から構成

される。  
【0015】回路情報12は、半導体集積回路における各セルとセル間を接続する信号線の情報、仮定故障の情報を含む。半導体集積回路におけるセルの情報として

て、各セルに固有の名前であるセル名と、セルの種別を表すセル型名と、ピポ番号とそれに接続する信号線名が与えられる。なお、半導体集積回路におけるセルは、半導体集積回路の製造技術に依存するものであるが、型によって論理的に等価な動作をする論理回路が与えられていゝ。これにより、本実施例の検査点指標情報を計算する処理等については半導体集積回路を論理回路としてモデル化して扱う。検査点挿入ライブラリ123は、半導体集積回路内のセルとそのピポ番号で特定される信号線に対する、挿入可能な検査点型と挿入可能な場合の回路変形方法を指定するための、検査点挿入可能なセル型名とピポ番号と検査点型と回路変形方法の組を列挙

【0016】検査点挿入禁止情報124は、検査点挿入を禁止する信号線と検査点型の粗を列挙した情報である。信号線はそれを含むパスの始点と終点として表され、パスの始点または終点が信号線名あるいは端子名である情報である。

るいはセル位置とピン番号の組で表される。また、検査点型は、「1制御点」、「0制御点」、「観測点」等である。

【0017】検査点挿入位置情報125は、半導体集積回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と、検査点挿入可能な場合の回路変形方法を対応させた情報である。

【0018】検査点指標情報126は、検査点候補に対して、その検査点候補を挿入した場合の回路全体のテスト容易性を反映した数値情報であり、検査点指標を対応させたテーブルで表される。ここで、検査点候補は、信号線と検査点型の組で表す。検査点情報127は、検査点の挿入位置と回路変形方法に関する情報で、信号線（セル名とピン番号で特定）と検査点挿入ライブラリ123に記述された回路変形方法の組で表す。

【0019】演算処理装置102は、回路情報122と検査点挿入ライブラリ123と検査点挿入禁止情報124から検査点挿入位置情報125を計算する検査点挿入位置限定部111と、回路情報122と検査点挿入位置情報125を用いて検査点指標情報126を計算する検査点指標計算部112と、検査点指標情報126から検査点情報127を計算する検査点決定部113からなる。

【0020】図2は、半導体集積回路検査点解析装置の処理手順を示すフローチャートである。

【0021】ステップS101はデータ入力処理で、データ入力装置101により回路情報122、検査点挿入ライブラリ123、検査点挿入禁止情報124を入力し、記憶装置103に格納する。

【0022】ステップS102は検査点挿入位置限定部111による検査点挿入位置限定処理で、回路情報122と検査点挿入ライブラリ123と検査点挿入禁止情報124から、回路内の各信号線に対し、検査点型毎に検査点挿入可能／不可能の区別と検査点挿入可能な場合の回路変形方法を計算し、検査点挿入位置情報125を作成する。

【0023】ステップS103は検査点指標計算部112による検査点指標計算処理で、検査点挿入位置情報125から検査点挿入可能な検査点候補に対する検査点指標を計算し、検査点指標情報126を作成する。

【0024】ステップS104は検査点指標計算部112による検査点決定処理で、検査点指標情報126に基づいて最もテスト容易性の大きい検査点候補を選択し、それを検査点情報127に登録する。

【0025】ステップS107では、予め設定されている検査点解析処理の終了条件について判定する。終了条件を満足しない場合、ステップS103に戻り、既に決定されている検査点を含んで半導体集積回路の検査点指標計算処理を行う。そして、既に決定された検査点を除く検査点候補に対する検査点指標に基づき、新しい検査

点を決定する検査点決定処理を行い、終了条件を満足するまで、検査点指標計算処理と、検査点決定処理を繰り返す。なお、終了条件は、たとえば、検査点数の上限、検査点指標のしきい値、打ち切り処理時間等による。

【0026】ステップS107で終了条件を満足する場合、ステップS108へ進み、データ出力装置104により、記憶装置103に格納されている検査点情報127を、半導体集積回路検査点解析装置の結果として出力される。

【0027】以下では、半導体集積回路の一例を用いて、本実施例における各情報、各処理の詳細を説明していく。

【0028】図3は、半導体集積回路の例と、それに検査点を挿入した例を説明する回路図である。図3(a)は、半導体集積回路の例で、INVゲート、ANDゲート、ORゲート、NANDゲート、NORゲート、入力端子、出力端子を用いた論理回路と等価な論理動作をし、1つのゲートが1つのセルに対応する。各セルのセル型名は、セル251～257、262～266に対し、順に、AND3、NAND3、AND3、NAND3、OR2、AND2、INV1、NAND2、OR3、NOR3、AND2、OR2とする。各セルのピン番号については、入力ピンで図上部から順に1、2と増加させ、出力ピンのピン番号は（入力ピン数+1）とする。例えば、セル251では、端子221、222、223に接続するピン番号が順に1、2、3であり、信号線201に接続するピン番号が4である。また、故障集合に関しては、セルの出力ピン、すなわち、信号線201～206、212～216が信号値0に縮退する故障（0縮退故障）と信号値1に縮退する故障（1縮退故障）を仮定する。

【0029】さらに、この半導体集積回路の例では、複数のセル、信号線をグループ化した部分回路の情報である、ブロック情報が与えられている。ブロック2000は、セル251を含む部分回路であり、ブロック2100は、セル252～257を含む部分回路であり、ブロック2200は、セル262～266を含む部分回路である。なお、一般にブロックの情報は、半導体集積回路の設計時に、小さな機能をもつブロックからそれらを利用したより複雑な機能をもつブロックへと階層的に設計するための場合に用いられる。

【0030】図3(b)は、図3(a)の回路に、従来の検査点解析方法（前掲B.Seiss等の文献で述べられている方法）によって、3つの検査点を挿入した回路例である。信号線202には1制御点271、信号線212には0制御点281、信号線203には観測点291が挿入されている。

【0031】1制御点271は、信号線202の1可制御性を向上させる。2入力ORゲートのセル273とスキャン機能付きフリップフロップ274から構成され、

セル273の入力ピンは、信号線202の入力側部分272と、スキャン機能付きフリップフロップ274に接続し、出力ピンは、信号線202に接続する。なお、スキャン機能付きフリップフロップは、テスト時にはスキャンチェーンで入力される信号値を出力するが、通常動作時には常に信号値0を出力する。

【0032】0制御点281は、信号線212の0可制御性を向上させる。2入力ANDゲートのセル283とスキャン機能付きフリップフロップ284から構成され、セル283の入力ピンは、信号線212の入力側部分282と、スキャン機能付きフリップフロップ284に接続し、出力ピンは、信号線212に接続する。なお、スキャン機能付きフリップフロップは、テスト時にはスキャンチェーンで入力される信号値を出力するが、通常動作時には常に信号値1を出力する。

【0033】観測点291は、信号線203の可観測性を向上させる。信号線203から分岐した信号線292に、スキャン機能付きフリップフロップ293が接続する。次に、検査点挿入ライブラリ123について、図4(a)と図5を参照しながら説明する。

【0034】図4(a)は、検査点挿入ライブラリ123の一例である。図中、列401は検査点挿入ライブラリの各要素の番号、列402、403はセル型名とピン番号で、検査点挿入可能な信号線を特定する。列404は検査点挿入の目的を表す検査点型で、列405は実際の回路変形方法である。回路変形方法では、それが一意であるように、各ピンに対する接続方法を定めた列406の情報を付記している。

【0035】行411～417は、検査点挿入ライブラリの各要素で、それぞれが、検査点挿入可能なセル型名、ピン番号、検査点型、回路変形方法の組である。また、図5(1)～(7)は、図4(a)の411～417における回路変形方法を図示したものである。

【0036】検査点挿入ライブラリの番号1(行411)は、セル型名INV1のピン2に接続する信号線の1制御点を挿入可能で、回路変形方法はセルINV1をセルNAND2に変換することを表す。すなわち、図5(1)に示すように、INVゲートの機能をもつセル511をNANDゲートの機能をもつセル513に交換し、そのピン1、3はそれぞれ交換前のセル511のピン1、2に対応し、ピン2はスキャン機能付きフリップフロップ515の出力ピンへの信号線に接続する。

【0037】検査点挿入ライブラリの番号2(行412)は、セル型名INV1のピン2に接続する信号線の0制御点を挿入可能で、回路変形方法はセルINV1をセルNOR2に変換することを表す。すなわち、図5(2)に示すように、INVゲートの機能をもつセル521をNORゲートの機能をもつセル523に交換し、そのピン1、3はそれぞれ交換前のセル521のピン1、2に対応し、ピン2はスキャン機能付きフリップ

フロップ525の出力ピンへの信号線に接続する。

【0038】検査点挿入ライブラリの番号3(行413)は、セル型名BUF1のピン1に接続する信号線の0制御点を挿入可能で、回路変形方法はセルBUF1をセルAND2に変換することを表す。すなわち、図5(3)に示すように、BUFゲートの機能をもつセル531をANDゲートの機能をもつセル533に交換し、そのピン1、3はそれぞれ交換前のセル531のピン1、2に対応し、ピン2はスキャン機能付きフリップフロップ535の出力ピンへの信号線に接続する。

【0039】検査点挿入ライブラリの番号4(行414)は、セル型名NAND2のピン3に接続する信号線の0制御点を挿入可能で、回路変形方法はセルNAND2をセルANDORに変換することを表す。すなわち、図5(4)に示すように、NANDゲートの機能をもつセル541をANDゲート544とNORゲート545の機能をもつセル543に交換し、そのピン1、2、4はそれぞれ交換前のセル541のピン1、2、3に対応し、ピン3はスキャン機能付きフリップフロップ546の出力ピンへの信号線に接続する。

【0040】検査点挿入ライブラリの番号5(行415)は、セル型名AND3のピン4に接続する信号線の1制御点を挿入可能で、回路変形方法はセルOR2を挿入することを表す。すなわち、図5(5)に示すように、ANDゲートの機能をもつセル551のピン4に接続する信号線に、ORゲートの機能をもつセル553に挿入し、そのピン1、3は挿入された信号線の入力側と出力側部分に対応し、ピン2はスキャン機能付きフリップフロップ556の出力ピンへの信号線に接続する。

【0041】検査点挿入ライブラリの番号6(行416)は、セル型名AND3のピン4に接続する信号線の観測点を挿入可能で、回路変形方法は信号線を分岐しスキャン機能付きフリップフロップに接続することを表す。すなわち、図5(6)に示すように、ANDゲートの機能をもつセル561のピン4に接続する信号線から、信号線563を分岐し、スキャン機能付きフリップフロップ564のデータ入力ピンへ接続する。

【0042】検査点挿入ライブラリの番号7(行417)は、セル型名OR3のピン4に接続する信号線の観測点を挿入可能で、回路変形方法は信号線を分岐しスキャン機能付きフリップフロップに接続することを表す。すなわち、図5(7)に示すように、ORゲートの機能をもつセル571のピン4に接続する信号線から、信号線573を分岐し、スキャン機能付きフリップフロップ574のデータ入力ピンへ接続する。

【0043】次に、検査点挿入禁止情報124について、図6(a)を参照しながら説明する。

【0044】図6(a)は検査点挿入禁止情報の一例である。この例では、検査点挿入を禁止する信号線をパスで表した禁止パス情報601と、検査点挿入を禁止する信

号線をブロックで表した禁止ブロック情報602からなる。なお、行615～618、624～625の内容は、図3(a)の半導体集積回路に対する例である。

【0045】禁止パス情報601は、番号611、検査点挿入を禁止するパスのパス始点612とパス終点613、禁止する検査点型614からなる。例えば、行615では、端子226から端子242に至るパス上の信号線、すなわち、端子226に接続する信号線と、信号線212、213、215に対して、観測点(1制御点と0制御点)の挿入を禁止するという意味である。同様に、行616では、信号線212から信号線215に至るパス上の信号線、すなわち、信号線212、213、215に対して、観測点の挿入を禁止するという意味である。行617では、セル251のピン4からセル252のピン3に至るパス上の信号線、すなわち、信号線201に対して、制御点の挿入を禁止するという意味である。行618では、端子236から信号線214に至るパス上の信号線、すなわち、端子236に接続する信号線と、信号線214に対して、制御点の挿入を禁止するという意味である。なお、行615～618で示したように、パス始点およびパス終点は、端子名あるいは信号線名あるいはセル名とピン番号の組など、パスの両端を特定できるものであればいずれでもよい。

【0046】禁止ブロック情報602は、番号621、検査点挿入を禁止するブロックのブロック名622、禁止する検査点型623からなる。例えば、行624では、ブロック2000に含まれる信号線、すなわち、端子221～223に接続する信号線と信号線201に対して、制御点の挿入を禁止するという意味である。同様に、行625では、ブロック2200に含まれる信号線、すなわち、端子226、233～238に接続する信号線と信号線212～216に対して、制御点の挿入を禁止するという意味である。

【0047】図13は検査点挿入禁止情報の別の例である。図13(a)は半導体集積回路の例で、1301～1306は入力端子、セル1310のセル型名は「セクタ」でピンが5個あるとする。図13(b)はその回路に対する禁止パス情報1331である。禁止パス情報1331の構成は禁止パス情報601と同じであるが、パスの始点および終点の指定方法が異なる。例えば、行1345の場合、パスの始点は全ての入力端子および入力可能な素子で、入力端子1301～1306を意味し、パスの終点はセル型名「セクタ」の2ピンを意味し、その結果特定されるパスは信号線1320、1321、1322、1323である。同様に、行1346で特定されるパスは信号線1320、1321、1324である。どちらの行も検査点型は制御点なので、これら2つのパス上の制御点は禁止されることになる。参考までに、このような特定方法が使われる場合として、半導体集積回路の検査に組み込み自己検査(Built-InSelf-Test, BIST)方式

を採用し、入力条件では不定値(0か1か不定)を出力するセルを使用する場合がある。そのセルの例として上記のセクタ1310があり、ピン2とピン4への入力値が(0, 0)や(1, 1)では出力が不定値となる

(セルの構成に依存する)。検査点の挿入前はその入力条件を避けるように回路が構成されており、それを維持するためにピン2とピン4の入力側に制御点の挿入を禁止する。

【0048】次に、検査点挿入位置情報125について、図7を参照しながら説明する。

【0049】図7(a)は検査点挿入位置情報の一例である。検査点挿入位置情報は、信号線名701と、その信号線に対する0制御点の情報702、1制御点の情報705、観測名の情報708からなる。信号線に対する各検査点毎の情報は、その検査点を挿入可能か不可能かの区別を表した可能フラグ(703、706、709)と、検査点挿入可能な場合の回路変形方法に表したライブラリ番号(704、707、710)からなる。図中、可能フラグは、検査点挿入可能な場合「○」、検査点挿入不可能な場合「×」で表している。ライブラリ番号は、検査点挿入ライブラリ123の要素の番号を表し、対応する検査点挿入ライブラリの回路変形方法を指す。なお図中の内容は、図3(a)の半導体集積回路に対する例であり、検査点挿入ライブラリは図4(a)で示したものを想定している。例えば、図7(a)の信号線201の行は、信号線201に対し、0制御点挿入不可能であり、1制御点は挿入可能で、挿入する場合は、図4(a)の行415の番号5にあるようにセルOR2を挿入する回路変形を行い、観測点は挿入可能で、挿入する場合は、図4(a)の行416の番号6にあるようにスキャン機能付きフリップフロップへの分岐させる、という意味である。

【0050】以下に、図2の各ステップで行われる演算処理装置の各部の処理手順を順に説明する。

【0051】図8は、ステップS102の検査点挿入位置限定処理の詳細フローを示す。本処理は検査点挿入位置限定部111で行われ、検査点挿入ライブラリ123と検査点挿入禁止情報124を用いて、検査点挿入位置情報125を作成する。検査点挿入ライブラリは図4(a)で示した例、検査点挿入禁止情報は図6で示した例、検査点位置情報は図7で示した例として、説明する。

【0052】ステップ801で、半導体集積回路内の信号線を選択し、それに対して0制御点、1制御点、観測点等の検査点型を選択する。ステップ802で、選択した信号線に対応するセルとピンに対し、そのセルのセル型名とピンのピン番号を求める。なお、ここで述べる信号線は、セルとピンの組と一対一の対応がついているとする。ステップ803で、セル型名、ピン番号、検査点型が、検査点挿入ライブラリに一致する要素(セル型



れる確率的なテスト容易性の尺度で、回路全体のテスト容易性を反映するテストコストを用いるが、テスト容易性の度合いを表す指標であれば、これに限らない。

【0057】ここで、COPの計算方法を説明する。まず入力から出力側に向かって可制御性（1可制御性）を計算し、出力から入力側に向かって可観測性を計算する。そして、仮定された各故障に対し、故障のある信号線で正常時と故障時で異なる信号値をとるための確率

と、その信号線の故障を観測できる確率を掛け合わせた数値である。故障検出確率を計算する。すなわち、0縮退故障の故障検出確率は、1可制御性と可観測性の積であり、1縮退故障の故障検出確率は、0可制御性と可観測性の積である。なお、0可制御性＝1－1可制御性である。さらに、目標関数であるテストコストを、全故障に対して故障検出確率の逆数を加えた数値として定義する。これは、1つの故障を検出するためのテストパターンの数の期待値と等価な数値であり、回路全体のテスト容易性を反映する。このテストコストに基づけば、その数値が小さいほどテスト容易性が大い。

【0058】なお、上で検査点指標を計算する処理を検査点挿入可能である全ての信号線と検査点型の組に対して行うと述べたが、それでは処理時間がかかる。それを回避するための効率的な検査点指標の計算方法が、前掲B.Seiss等の文献に述べられている。その方法の概略を説明する。

【0059】まず、検査点挿入前のCOPを計算する。

次に、各信号線において、可観測性に関するテストコストの微分係数と、可制御性に関するテストコストの微分係数を計算する。この計算方法の詳細は、文献IEEE Transactions on Computer-Aided Design Vol. CAD-6 (1987年)の1082頁から1087頁に掲載されている。R.Lisank等による「Testability-Driven Random Test-PatternGeneration」に述べられている。そして、CRF (Cost Reduction Factor) と呼ばれる。検査点挿入によるテストコストの差分の近似値、すなわち、検査点挿入する前のテストコストから検査点候補を挿入した場合のテストコストを引いた数値の近似値を、検査点挿入可能である全ての信号線と検査点型の組に対して計算する。なお、CRFの計算方法の詳細は、前掲B.Seiss等の文献に述べられており、CRFの数値が大いほどその信号線に検査点挿入した方が望ましい。ただし、CRFは近似値であるために、精度が要求される場合は、実際の検査点の挿入した場合のテストコストを計算する必要がある。さらに、CRFに基づいて条件を満たすものを検査点候補とし、その集合を作成する。検査点候補となるCRFの条件としては、CRFの降順で予め定めておいた検査点候補の上限という条件

や、CRFの最大値に対する一定割合以上などである。最後に、作成した検査点候補の集合の全要素に対し、検査点候補を挿入した場合のCOP（可制御性、可観測

名、ピン番号、検査点型、回路変形方法の組）があるか

検索する。もし一致する要素がある場合、スラッシュ804～進み、検査点挿入位置情報の該当する信号線、検査点型に対する可能フラグに検査点挿入可能を表す「○」を設定し、スラッシュ805で、検査点挿入ライオトリ内

の一致する要素の番号をライオトリ番号に設定して、回路変形方法が特定できるようにする。スラッシュ803で検査点挿入ライオトリ内に一致する要素がない場合、スラッシュ806で、検査点型に対する可能フラグに検査点挿入禁止を表す「×」を設定する。スラッシュ807で、全ての信号線と検査点型の組について上記スラッシュ801～806の処理が終了したかを判定する。処理が終了していない信号線と検査点型の組を選択し、スラッシュ802～808に進む。スラッシュ808では、検査点挿入禁止情報の禁止バス情報で指定されたバス上の信号線に対して、指定された検査点型に対する可能フラグに、検査点挿入禁止を表す「×」を設定する。スラッシュ809で

は、検査点挿入禁止情報の禁止バス情報で指定されたバス内の信号線に対し、指定された検査点型に対する可能フラグに、検査点挿入禁止を表す「×」を設定する。スラッシュ809で

【0053】上記の検査点位置限定処理は、検査点挿入ライオトリと検査点挿入禁止情報とどちらも存在する場合であった。もし、検査点挿入禁止情報という概念がなく、検査点挿入ライオトリのみを入力とする場合は、図8のフローで、検査点挿入禁止情報に対する処理であるスラッシュ808～809を処理しない。したがって、スラッシュ801～807で作成される検査点位置情報をを用いて、図2の全体処理フローのS103以降の処理を続けよう。

【0054】一方、検査点挿入ライオトリという概念がなく、検査点挿入禁止情報のみを入力とする場合、検査点位置情報は、ライオトリ番号の意味がなく、検査点挿入可能／禁止の区別を表す可能フラグのみとなる。検査点挿入位置限定処理は、まず、全信号線、全検査点型に対する可能フラグに検査点挿入可能を表す「○」を設定し、スラッシュ808～809の処理を行って、検査点位置情報を作成する。

【0055】次に、スラッシュS103の検査点指標計算処理で行われる、検査点指標計算部112の処理手順を説明する。まず、検査点挿入位置情報125から、可能フラグが検査点挿入可能を表す「○」であるような信号線と検査点型の組を選択する。その信号線と検査点型の組に対して、検査点挿入すると仮定した場合のテスト容易性の度合いを表す指標（検査点指標）を計算する。この処理を、可能フラグが検査点挿入可能を表す「○」である全ての信号線と検査点型の組に対して行う。

【0056】検査点指標として、前述したCOPと呼ば

性、テストコスト)を計算する。それにより、検査点候補と検査点指標(テストコスト)の組の集合である。検査点指標情報126を作成する。

【0060】上記に述べた検査点指標計算処理S103について、テスト容易性が大きい検査点候補に対する検査点指標が計算された検査点指標情報を作成する処理であれば、上記の処理に限らない。

【0061】次に、ステップS104の検査点決定処理で行われる、検査点決定部113の処理を説明する。検査点候補と検査点指標の組を列挙した情報である。検査点指標情報126の中で、検査点指標から判断して最もテスト容易性が大きくなる検査点候補を検査点として決定し、検査点情報127に、信号線名と検査点の型を登録する。すなわち、検査点指標として、上記のCOPに基づくテストコストを用いた場合、テストコストが最小の検査点候補を検査点として決定する。

【0062】以上、本実施例による半導体集積回路検査点解析装置の構成と処理手順を説明した。以下では、図3(a)の半導体集積回路に適用した具体的な動作を、図2の処理フローに従って説明する。なお、検査点挿入ライブラリ123は図4(a)で示した例、検査点挿入禁止情報124は図6(b)で示されるものとし、処理フロー中のステップS107の終了条件は、ここでは新規決定される検査点数が3個とする。

【0063】まず、ステップS101で、回路情報122として図3(a)の情報を入力する。なお、仮定故障は、各素子の出力線、すなわち、信号線201~206、212~216上の0縮退故障と1縮退故障とする。また、制御点、観測点が挿入可能な信号線は、ともに各素子の出力線、すなわち、信号線201~207、212~216とする。

【0064】次に、ステップS102の検査点挿入位置限定処理における、ステップ801~807で、回路情報と検査点挿入ライブラリから検査点挿入位置情報を作成する。ステップ807の判定が「Y」である時点における検査点挿入位置情報を図7(a)に示す。

【0065】ステップ801で、信号線201と0制御点を選択した場合、ステップ802で、信号線201に対応するセル型名AND3とピン番号4を求める。ステップ803で、AND3、ピン番号4、0制御点の検査点挿入ライブラリの番号を探索するが該当するものはない。そのため、ステップ806へ進み、可能フラグに「×」を設定する。ステップ801に戻って、信号線201と1制御点を選択した場合、ステップ803で、AND3、ピン番号4、1制御点の検査点挿入ライブラリの番号を探索すると、検査点挿入ライブラリの5番(行415)に該当する。ステップ804で、可能フラグに「○」を設定し、ステップ805で、ライブラリ番号を5番に設定する。さらにステップ801に戻って、信号線201と観測点を選択した場合、ステップ803で、

AND3、ピン番号4、観測点の検査点挿入ライブラリの番号を探索すると、検査点挿入ライブラリの6番(行416)に該当する。ステップ804で、可能フラグに

「○」を設定し、ステップ805で、ライブラリ番号を6番に設定する。

【0066】同様に、信号線202~216と、0制御点、1制御点、観測点の組み合わせを順次選択し、上記の処理を行う。検査点挿入可能となる信号線と検査点型の組は、セル型名AND3とピン番号4に対応する信号線203の1制御点と観測点、セル型名INV1とピン番号2に対応する信号線207の0制御点と1制御点、セル型名NAND2とピン番号3に対応する信号線212の0制御点、セル型名OR3とピン番号4に対応する信号線213の観測点である。これらに対しては、ステップ804で可能フラグに「○」を設定し、ステップ805でライブラリ番号を該当する番号に設定する。それ以外の信号線と検査点型の組は、検査点挿入禁止であり、可能フラグに「×」を設定する。

【0067】ステップ807で、全ての信号線と検査点型に対する可能フラグ、ライブラリ番号の設定が終了したと判定されたならば、ステップ808~809で、図6(a)の検査点挿入禁止情報124に対する処理を行う。ステップ809まで終了した時点での検査点挿入位置情報を、図7(b)に示す。

【0068】ステップ808で、禁止パス情報631に記述された、端子226から端子242に至るパス上の信号線、すなわち、信号線212、213、215に対して、制御点(0制御点と1制御点)の挿入を禁止する。図7(a)の検査点挿入位置情報では、信号線212の0制御点は検査点挿入可能であるが、本処理により、可能フラグに検査点挿入禁止を表す「×」を設定する。

【0069】ステップ809で、禁止ブロック情報602に記述された、ブロック2000内の信号線、すなわち、信号線201に対して、制御点(0制御点と1制御点)の挿入を禁止する。図7(a)の検査点挿入位置情報では、信号線201の1制御点は検査点挿入可能であるが、本処理により、可能フラグに検査点挿入禁止を表す「×」を設定する。

【0070】ステップS103の検査点指標計算処理では、検査点挿入位置情報125で検査点挿入可能となっている信号線と検査点型の組、すなわち検査点候補に対し、それを挿入した場合の検査点指標を計算し、検査点指標情報126を作成する。検査点指標は、上述したCOPに基づくテストコストである。図9(a)は、1個目の検査点を決定する処理の中で作成した検査点指標情報であり、信号線903と検査点型904の組である検査点候補902に対応する検査点指標(テストコスト)905をテーブルで表している。

【0071】ステップS104の検査点決定処理では、

図9 (a) で示した検査点指標情報126で、検査点指標から判断してテスト容易性が最も大きい検査点候補、すなわち、テストコストが最も小さい検査点候補である、信号線207の1制御点を検査点として決定し、検査点情報127に登録する。図10は、検査点情報の例で、信号線に対応するセル名1003とピン番号1004の組と、回路変形方法を示す検査点挿入ライブラリの番号1005からなる。先程決定した信号線207の1制御点は、行1011に検査点番号1として登録され、信号線207に対応するセル257のピン番号2を設定し、ライブラリ番号は、図7 (b) で示した検査点挿入位置情報における信号線207の1制御点に対するライブラリ番号を参照して、1番を設定する。

【0072】ステップS107では、上で設定した検査点数=3の条件を満たさないため、ステップS103に戻り、2個目の検査点を決定する処理に入る。ステップS103で、検査点番号1の検査点を挿入した回路を前提に、検査点候補とそれを挿入した場合のテストコストを計算する。図9 (b) は、2個目の検査点を決定する処理の中で作成した検査点指標情報である。ステップS104で、テストコストが最小である検査点候補、すなわち、信号線213の観測点を、検査点番号2の検査点として、検査点情報に登録する(図10の行1012)。

【0073】同様に、ステップS107からステップS103に戻り、検査点指標計算処理を行う。図9 (c) は、3個目の検査点を決定する処理の中で作成した検査点指標情報である。そして、ステップS104で、信号線203の観測点を、検査点番号3の検査点として、検査点情報に登録する(図10の行1013)。

【0074】この結果、ステップS107で、検査点数=3の終了条件を満たすので、ステップS108のデータ出力処理へと進む。データ出力処理では、検査点情報127として、図10の内容を出力する。

【0075】以上により、図3 (a) の半導体集積回路は、検査点を挿入されて図11で示す半導体集積回路となる。各検査点は、検査点番号1から順に、「1制御点」1111、「観測点」1121、「観測点」1131となる。

【0076】ここで、検査点挿入前の半導体集積回路(図3 (a))と、従来方法(前掲B.Seiss等の方法)で検査点挿入した半導体集積回路(図3 (b))と、本実施例により検査点挿入した半導体集積回路(図11)で、テスト容易性を比べる。それぞれについて、上述したCOPに基づくテストコストを求めると、図3 (a) では「1810」、図3 (b) では「324」、図11では「344」となる。テスト容易性は、従来方法により検査点挿入した回路でも、本実施例により検査点挿入した回路でも、検査点挿入前の回路に比べて大幅に向上していることがわかる。本実施例により検査点挿入した回路のテスト容易性は、従来方法により検査点挿入

した回路よりやや劣っているが、ほぼ同等である。これは、本実施例では検査点挿入可能な信号線を限定したにもかかわらず、その中で最適な検査点を求めて、検査点挿入可能な信号線を限定しない場合(従来方法)とほぼ同等なテスト容易性が得られることを示すものである。

【0077】このように、本発明における半導体集積回路検査点解析装置は、半導体集積回路の設計者が検査点挿入ライブラリ123、あるいは検査点挿入禁止情報124、あるいはその両方を用いることにより、容易に検査点挿入可能な信号線とその検査点型を限定することができ、設計者が禁止する検査点挿入を避けて、テスト容易化の効果が最大となるような検査点の指摘を行うことができるという効果がある。

【0078】以下では、信号遅延の影響の小さい検査点挿入の解析方法について述べる。

【0079】まず、回路情報122に関して、検査点挿入可能なセル型名とピン番号と検査点型と回路変形方法の組のすべてが、検査点挿入前のセルの各入力ピンから出力ピンへの信号遅延と、検査点挿入後のセルの各入力ピンから出力ピンへの信号遅延とが、同等あるいは、その差が2入力ANDまたは2入力ORの機能を持つセルの各入力ピンから出力ピンへの信号遅延より小さいように設定する。このセルの信号遅延は、セルの構成すなわち半導体製造技術に依存するため、上記の条件を満たす検査点挿入可能な論理ゲートのレベルだけでは論じられないが、例を示す。

【0080】例えば、図4 (a) の行411~414のような制御点挿入のセル交換が挙げられる。挿入後のセルは、挿入前のセルに検査点の機能を追加したセル構成する際、信号遅延のオーバーヘッドを小さくすることが可能である。また、図4 (a) の行416~417のような観測点挿入は、上記の条件を満たす検査点挿入可能な組に挙げられる。観測点挿入の場合、挿入前と挿入後で信号遅延のオーバーヘッドは小さい。図4 (b) は、検査点挿入による信号遅延のオーバーヘッド低減の観点から作成した検査点挿入ライブラリの例である。制御点挿入は、セルINV1をセルNAND2またはNOR2に置換する回路変形(行431, 432)のみであり、観測点挿入は、全信号線を対象とする(行433)。

【0081】一方、検査点挿入ライブラリ123に関して、検査点挿入を禁止される前記回路内の信号線と検査点型の組が、端子または記憶素子と端子または記憶素子の間のパスの信号遅延の余裕値が小さいパス上の信号線に挿入する制御点であるように設定する。この信号遅延を考慮した検査点挿入禁止情報の作成の例を説明する。

【0082】まず、半導体集積回路の信号遅延を計算するツール等を用いて、パスに信号遅延の余裕値を対応させたテーブルを作成する。図12は、図3 (a) の半導体集積回路において、端子または記憶素子と端子または

記憶素子の間のパスの信号遅延を求めて、信号遅延の余裕値が小さいパスを列挙した例である。パス始点1202とパス終点1203で特定されるパスに対し、信号遅延の余裕値（ディレイ余裕値）1204を対応させたテーブルである。行1211から行1219はディレイ余裕値の昇順で列挙している。なお、図中の信号遅延の余裕値は、説明のために与えた数値であり、実際の計算値ではない。

【0083】検査点挿入による信号遅延のオーバーヘッド低減の観点から、制御点挿入を禁止するパスを、このテーブルを用いて選択する。例えば、ディレイ余裕値1204の小さい行1211～1213のパスの制御点を禁止するとした場合、検査点挿入禁止情報の禁止パス情報は図6（b）の631のようになる。図12の行1211～1212がそれぞれ図6（b）の行645～647に対応する。

【0084】図3（a）の半導体集積回路に対して、上記の図4（b）で示す検査点挿入ライブラリと、図6

（b）で示す検査点挿入禁止情報を用いたときの、検査点解析処理を考える。検査点挿入位置限定処理S102では、検査点挿入可能な信号線と検査点型の組が、信号線207の1制御点および0制御点と、全信号線の観測点であるような検査点挿入位置情報を作成する。これに基づいて、検査点指標計算処理S103と検査点決定処理S104を、予め設定した検査点数＝3を満たすまで繰り返す。その結果得られる検査点情報は、検査点解析処理の第一の実施例と同じ、図10で示したテーブルとなる。

【0085】ここで、従来の方法（前掲B.Seiss等の方法）で検査点挿入した半導体集積回路（図3（b））と、本実施例により検査点挿入した半導体集積回路（図11）で、検査点挿入による信号遅延のオーバーヘッドを比べる。端子221、222、223から端子242へ至るパスでは、従来例は0制御点281として挿入したAND2セル283に相当する信号遅延がオーバーヘッドとなるが、本実施例は観測点1121の挿入による信号遅延オーバーヘッドのみである。また、端子221、222、223から端子239へ至るパスでは、従来例は1制御点271として挿入したOR2セル273に相当する信号遅延と観測点291の挿入による信号遅延がオーバーヘッドとなるが、本実施例は1制御点1111として挿入するためにINV1セル257をNOR2セル1112に交換した場合の信号遅延の差と観測点291の挿入による信号遅延がオーバーヘッドとなる。なお、観測点の挿入による信号遅延のオーバーヘッドは、分岐信号線による信号遅延のオーバーヘッドのみでほとんど無視できる。したがって、検査点挿入による信号遅延のオーバーヘッドは、従来の方法による半導体集積回路では大きいですが、本実施例による半導体集積回路では従来の方法によるものに比べて非常に小さいことがわかる。

【0086】さらに、上記の2回路の検査点挿入による回路面積オーバーヘッドを、増加したセル数で比較する。従来例の回路では、制御点で用いるAND2セルおよびOR2セルと、スキャン機能付きフリップフロップ3個のセルが増加する。本実施例の回路では、増加するセルがスキャン機能付きフリップフロップ3個のみである。したがって、検査点挿入による回路面積のオーバーヘッドは、従来の方法による半導体集積回路より本実施例による半導体集積回路の方が小さいといえる。

【0087】一方、上記の2回路のテスト容易性は、上述したように、ほとんど同等である。

【0088】以上のように、本発明による半導体集積回路検査点解析装置は、検査点挿入ライブラリ123と検査点挿入禁止情報124を信号遅延を考慮して設定することにより、検査点挿入による信号遅延や回路面積のオーバーヘッドを低減し、テスト容易化の効果がほぼ同程度の検査点の指摘を行うという効果がある。また、本発明の検査点解析処理は信号遅延の計算をしないため、高速に処理できるという効果がある。

【0089】

【発明の効果】本発明によれば、検査点挿入による信号遅延や回路面積のオーバーヘッドを低減し、高速に処理され、使い勝手のよい、半導体集積回路の検査点解析方法、解析装置を提供することにある。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる半導体集積回路検査点解析装置の構成図。

【図2】半導体集積回路検査点解析装置の処理手順の一実施例を示すフロー図。

【図3】一例による半導体集積回路の回路および検査点を挿入した半導体集積回路の回路図。

【図4】検査点挿入ライブラリの例を示すテーブル。

【図5】検査点挿入の回路変形方法を説明する回路図。

【図6】検査点挿入禁止情報の例を示すテーブル。

【図7】検査点挿入位置情報の例を示すテーブル。

【図8】図2の検査点挿入位置限定処理の処理手順を示すフロー図。

【図9】検査点指標情報の処理過程での遷移内容を示すテーブル。

【図10】検査点情報の例を示すテーブル。

【図11】本発明の一実施例による検査点挿入した半導体集積回路の回路図。

【図12】パスに対応する信号遅延の余裕値の例を示したテーブル。

【図13】検査点挿入禁止情報を示した図。

【符号の説明】

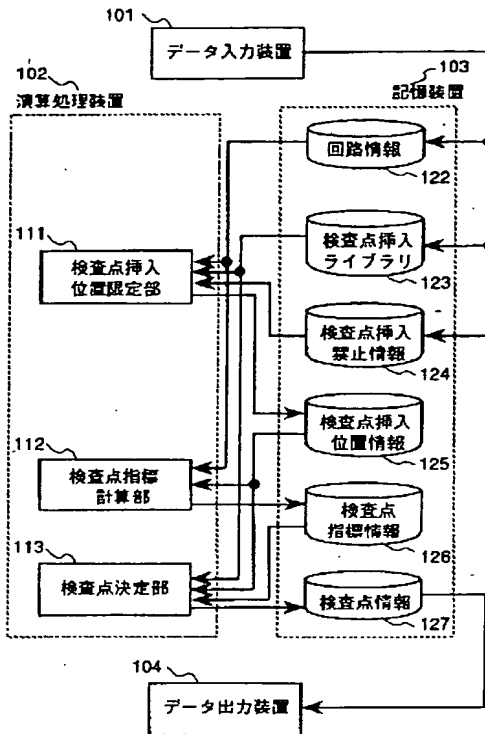
111…検査点挿入位置限定部、112…検査点指標計算部、113…検査点決定部、122…回路情報、123…検査点挿入ライブラリ、124…検査点挿入禁止情報、125…検査点挿入位置情報、126…検査点指標

情報、127…検査点情報、S102…検査点挿入位置  
限定処理、S103…検査点指標計算処理、S104…

検査点決定処理。

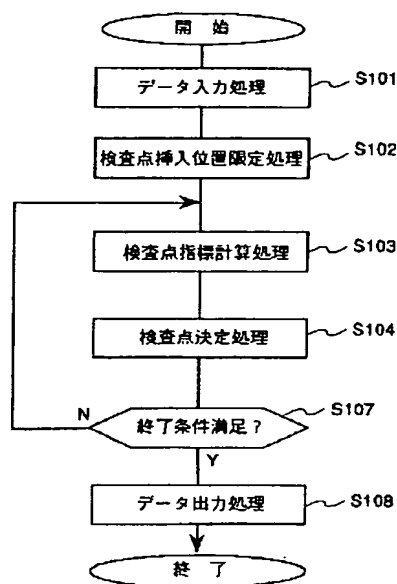
【図1】

図 1



【図2】

図 2



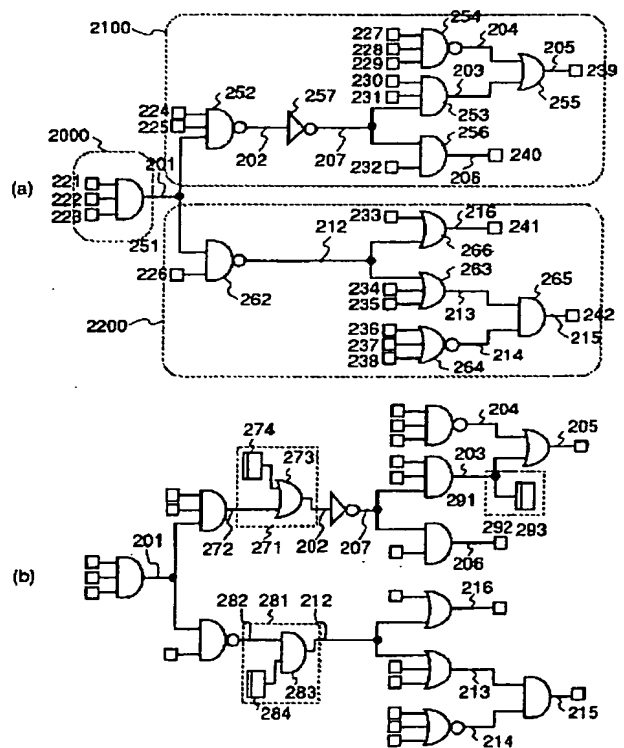
【図3】

図 3

【図10】

図 10

	No	検査点		
		セル名	ピン番号	TPILIB番号
1011	1	257	2	1
1012	2	263	4	7
1013	3	253	4	6



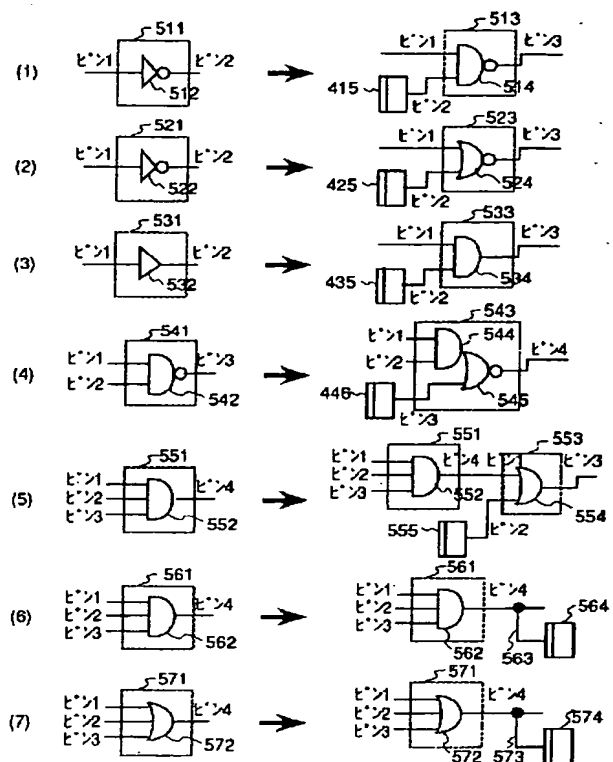
【図4】

図 4

(a)					
	401	402	403	404	405
	No	回路名	ピン番号	検査点型	回路変形方法
411	1	INV1	2	1 制御点	回路NAND2に変換
412	2	INV1	2	0 制御点	回路NOR2に変換
413	3	BUF1	2	0 制御点	回路NOR2に変換
414	4	NAND2	2	0 制御点	回路ANDNORに変換
415	1	AND3	2	1 制御点	回路OR2を挿入
436	3	AND3	2	観測点	FFへ分岐
437	3	OR3	2	観測点	FFへ分岐
(b)					
	No	回路名	ピン番号	検査点型	回路変形方法
431	1	INV1	2	1 制御点	回路NAND2に変換
432	2	INV1	2	0 制御点	回路NOR2に変換
433	3	全回路型出力ピン		観測点	FFへ分岐

【図5】

図 5



【図9】

図 9

(a)			
No	検査点候補	検査点	
	信号線	検査点型	指標
1	207	1 制御点	871
2	203	観測点	894
3	213	観測点	1346
4	201	観測点	1793
5	203	1 制御点	2866
6	207	0 制御点	3096

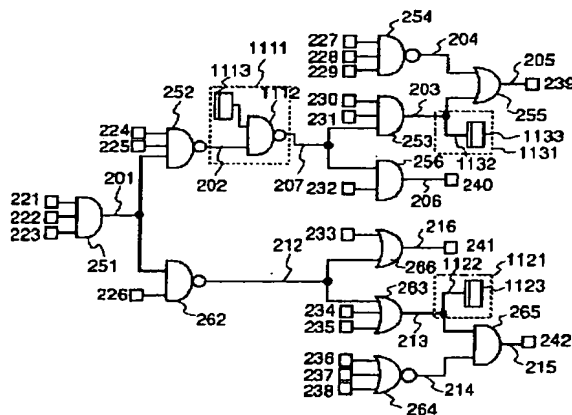
(b)			
No	検査点候補	検査点	
	信号線	検査点型	指標
1	213	観測点	406
2	203	観測点	809
3	201	観測点	851
4	203	1 制御点	967

(c)			
No	検査点候補	検査点	
	信号線	検査点型	指標
1	203	観測点	344
2	201	観測点	390
3	203	1 制御点	502

【図11】

図 11



【図 6】

図 6

(a)

611	612	601	613	614
禁止バス情報				
No	バス始点	バス終点	検査点型	
615 616 617 618	1 端子226	端子242	制御点	
	2 信号線212	信号線215	観測点	
	3 端子251	端子252	制御点	
	4 端子236	信号線214	制御点	

621	622	602	623
禁止ブロック情報			
No	ブロック名		検査点型
624	1 ブロック2000		制御点
625	2 ブロック2200		制御点

(b)

641	642	631	643	644
禁止バス情報				
No	バス始点	バス終点	検査点型	
645 646 647	1 端子221	端子242	制御点	
	2 端子222	端子242	制御点	
	3 端子223	端子242	制御点	

661	682	632	663
禁止ブロック情報			
No	ブロック名		検査点型

【図 7】

図 7

(a)

信号線	0制御点 可能フラグ	1制御点 可能フラグ	観測点 可能フラグ
201	×	○	○
202	×	×	×
203	×	○	○
204	×	×	×
205	×	×	×
206	×	×	×
207	○	○	×
212	○	×	×
213	×	×	○
214	×	×	×
215	×	×	×
216	×	×	×

(b)

信号線	0制御点 可能フラグ	1制御点 可能フラグ	観測点 可能フラグ
201	×	×	○
202	×	×	×
203	×	○	○
204	×	×	×
205	×	×	×
206	×	×	×
207	○	○	×
212	×	×	×
213	×	×	○
214	×	×	×
215	×	×	×
216	×	×	×

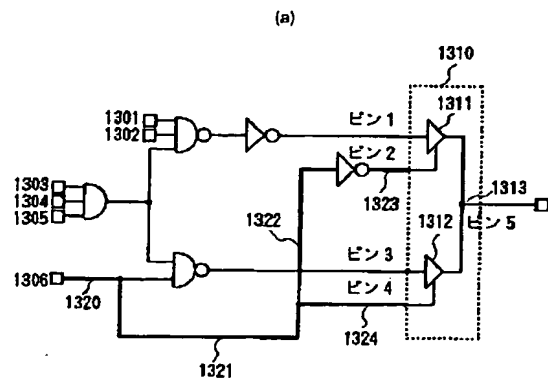
【図 1 2】

図 12

No	バス始点	バス終点	遅延余裕値
1	端子221	端子242	2
2	端子222	端子242	2
3	端子223	端子242	2
4	端子221	端子239	5
5	端子222	端子239	5
6	端子223	端子239	5
7	端子221	端子241	10
8	端子222	端子241	10
9	端子223	端子241	10

【図 1 3】

図 13



(b)

禁止バス情報			
No	バス始点	バス終点	検査点型
1	全ての入力端子 入力可能素子	セクタ, 2 ピン	制御点
2	全ての入力端子 入力可能素子	セクタ, 4 ピン	制御点

【図8】

